

# 一個使用隨機溫度計式編碼、歸零電路以及混合型佈局方法的 12 位元、100MHz 電流汲取式數位類比轉換器

李大輝

南臺科技大學電子工程系

dhlee@stust.edu.tw

## 摘要

本研究實現了一個低成本高速度的電流汲取式數位類比轉換器電路；在架構層次，使用隨機溫度計式編碼，提供了連續選擇、隨機與較少元件切換動作的特性，因而大幅度降低了元件不匹配所造成的諧波失真問題；在電路層次，使用歸零電路，在不影響操作速度的前提下，將輸出節點與控制訊號做了適當的隔離；在佈局層次，提出了創新的混合型佈局方法，針對碗型與線性型兩類最常發生的系統性不匹配進行補償。使用上述三大技術，在 1P6M 0.18 $\mu$ m 1.8V CMOS 製程下實現了一個 12 位元、100MHz 電流汲取式數位類比轉換器。在 100MHz 取樣頻率下，無突波動態範圍的量測值均大於 75dB。量測結果顯示，使用隨機溫度計式編碼技術，提升了 11dB 以上的無突波動態範圍；使用歸零電路，可以在 1/2 取樣頻率輸入時，避免 10dB 的無突波動態範圍衰退。本研究實現的數位類比轉換器，主動面積小於 0.12mm<sup>2</sup>，擁有低成本的特性。

**關鍵詞：**數位類比轉換器、隨機、歸零、佈局方法

## A 12-bit 100-MHz Current-Steering DAC with Randomized Thermometer-Coding Technique, Return-to-Zero Circuit and Hybrid Layout Scheme

Da-Huei Lee

Department of Electronic Engineering, Southern Taiwan University of Science and Technology

### Abstract

The design of a low-cost high-speed current-steering digital-to-analog converter (DAC) is presented. On the architecture level, the randomized thermometer-coding (RTC), which offers consecutive selection, randomization, and less element switching activity, is used. Therefore, harmonic distortion caused by element mismatches can be significantly suppressed. On the circuit level, a return-to-zero (RTZ) circuit, which can isolate the DAC output nodes from the coupling of the control signals without sacrificing speed, is adopted. On the layout level, a novel hybrid layout scheme is proposed. This scheme can compromise the quadratic and linear error distribution of systematic element-mismatch. Using the above three techniques, a 12-bit 100-MHz current-steering DAC is implemented in a 1P6M 0.18- $\mu$ m 1.8-V CMOS process. The measured spurious-free dynamic range (SFDR) is higher than 75dB at a 100MHz sampling frequency. The measurement results show that the RTC technique improves the SFDR by more than 11dB and the RTZ circuit prevents a 10dB SFDR drop when the input signal frequency is close to half the sampling frequency. The low-cost DAC has an active area of less than 0.12-mm<sup>2</sup>.

**Keywords:** Digital-to-analog Converter, Randomization, Return-to-zero, Layout Scheme

Received: March. 2, 2016; first revised: April. 29, 2016; accepted: May, 2016.

Corresponding author: D. -H. Lee, Department of Electronic Engineering, Southern Taiwan University of Science and Technology, Tainan, Taiwan.

## 壹、前言

電流汲取式數位類比轉換器廣泛的被使用在有線或無線通訊發送器、直接數位合成器以及視覺訊號處理等應用上。而這些應用除了需要電流汲取式數位類比轉換器所擁有的高操作速度特性外，對解析度也有極高的要求。在實現電流汲取式數位類比轉換器時，元件不匹配是影響解析度相當重要的因素之一。目前，修整、校準及動態元件匹配已經成功的被用來降低元件不匹配效應[1-7]。在動態元件匹配技術中，資料加權平均技術被廣泛使用在超取樣頻率的應用上[1-3]。而隨機多重資料加權平均技術是第一個被用在 Nyquist-rate 資料轉換器的類資料加權平均技術[4]。隨機多重資料加權平均技術同時擁有隨機化及連續選擇兩種特性，可有效降低元件不匹配效應，然而類資料加權平均技術造成的較高元件切換活動，卻也增加了動態雜訊。為了保有隨機多重資料加權平均技術的兩項特性，並進一步降低元件切換活動，本論文使用作者所提出名為”隨機式溫度計編碼”的新型動態元件匹配技術[5]。隨機式溫度計編碼技術的實現非常容易，加上元件不匹配效應已被隨機式溫度計編碼技術大大降低，在實現電流汲取式數位類比轉換器時，可以使用極小的電流元件面積。因此，隨機式溫度計編碼技術可以在實現高速數位類比轉換器時，以較低成本來達到高無突波動態範圍的特性。

在實現電流汲取式數位類比轉換器時，輸出歸零機制可以被用來避免高輸入頻率時的無突波動態範圍落差。如果再使用隔離電晶體，輸出歸零機制將可得到更佳效果。然而，使用隔離電晶體所增加的穩定所需時間，在電路高速操作時卻成為不可忽略的因子。本論文亦使用作者所提出之新型輸出歸零機制來隔絕控制訊號對電流汲取式數位類比轉換器輸出節點的干擾而不會犧牲速度[8]。在佈局層次，很多種類的佈局方法已經被提出，本論文綜合了各家優點，提出創新的混合式佈局方法，針對碗型與線性型兩類最常發生的系統性不匹配進行補償。

本論文將說明隨機式溫度計編碼技術的原理與其使用考量、提出創新的混合型佈局方法以及分析新型輸出歸零機制。本論文亦將使用隨機式溫度計編碼技術、新型輸出歸零機制以及創新的混合型佈局方法來實現一個 12 位元每秒一億赫茲電流汲取式數位類比轉換器，並呈現其量測結果。

## 貳、隨機式溫度計編碼技術

對於使用動態元件匹配技術的高速高解析度電流汲取式數位類比轉換器而言，為了要得到更好的無突波動態範圍，就必須要降低動態雜訊。傳統的溫度計式編碼擁有最低的元件切換活動以及連續選擇特性，因此作者所提出之”隨機式溫度計編碼”將被用來實現數位類比轉換器，並將探討其使用上應該考量的重點項目。

### 一、操作原理

為了要擁有較低的元件切換活動，溫度計式編碼的起始元件將在一特定的數位輸入訊號個數時間內維持不變，而此一特定的數位輸入訊號個數時間將定義為”隨機期間(Randomization period, RP)”。當電路操作由這個隨機期間進入到下一個隨機期間時，溫度計編碼的起始元件將被隨機地重新產生。圖一顯示了一個八元件的數位類比轉換器例子，將用來說明使用隨機期間為 4 的隨機式溫度計編碼技術之操作原理。數位類比轉換器數位輸入碼 7、4、5、2、6、3、1 及 5 將被當作例子來說明。一開始起始位置旗標(Start Position, SP)將設為 0，所謂起始位置旗標是指針對相對應的數位輸入碼所選擇之元件裡的起始元件位置。如圖一所示，當初始輸入碼為 7 時，元件 0、元件 1、元件 2、元件 3、元件 4、元件 5 及元件 6 將被選擇使用。針對第二個輸入碼 4，元件 0、元件 1、元件 2 及元件 3 將如傳統溫度計編碼般被選擇使用。針對第三個輸入碼 5，元件 0、元件 1、元件 2、元件 3 及元件 4 將被選擇使用。針對第四個輸入碼 2，元件 0 及元件 1 將被選擇使用。因為隨機期間為 4，所以當要進行第五個輸入碼 6 時，起始位置旗標將被隨機地在 0 到 7 的範圍內重新產生而成為 6。如此一來，元件 6、元件 7、元件 0、元件 1、元件 2 及元件 3 將被選擇使用。針對第六個輸入碼 3，元件 6、元件 7 及元件 0 將被選擇使用。針對第七個輸入碼 1，元件 6 將被選擇使用。針對第八個輸入碼 5，元件 6、元件 7、元件 0、元件 1 及元件 2 將被選擇使用。

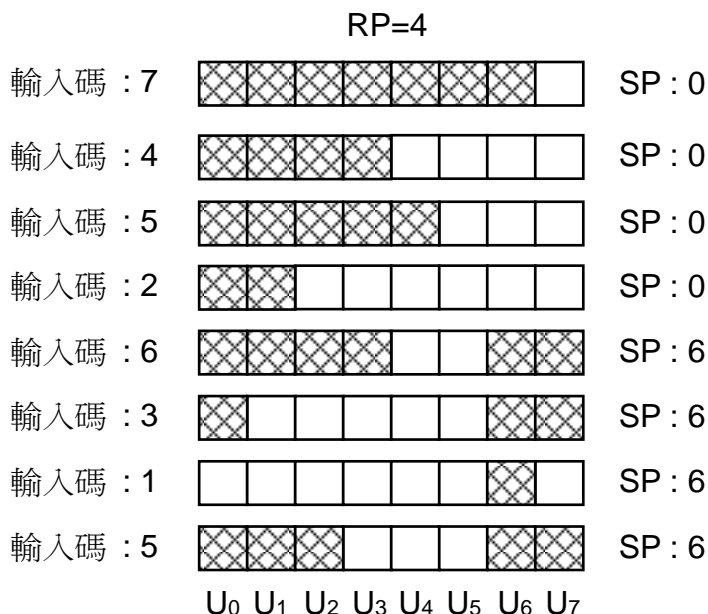


圖 1 一個八元件的數位類比轉換器使用隨機期間為四的隨機式溫度計編碼技術之操作原理

## 二、分析、驗證與實現考量

圖二顯示一個  $M$  位元、 $N$  元件的數位類比轉換器架構。根據[6]，數位類比轉換器的輸出可以寫成  $y[n]=\alpha x[n]+\beta+e[n]$ ，其中  $x[n]$ 是數位類比轉換器的輸入、 $\alpha$  是一個固定增益、 $\beta$  是一個直流偏移量而  $e[n]$  是一個被視為數位類比轉換器雜訊的轉換誤差。如果把隨機編碼器的作用也考慮進來，數位類比轉換器的輸出可重新寫成  $y[n]=\alpha x[n]+\beta+a^T[n]e_h+\bar{a}^T[n]e_l$ ，其中  $a[n]=[a_1[n]\cdots a_N[n]]^T$  是一個由隨機編碼器所產生的選擇向量序列、 $\bar{a}[n]$ 代表  $a[n]$ 的一補數序列而  $e_h=[e_{h_1}\cdots e_{h_N}]^T$  及  $e_l=[e_{l_1}\cdots e_{l_N}]^T$  分別為  $a_r[n]=1$  及  $a_r[n]=0$  時的數位類比轉換誤差，所以  $e[n]=a^T[n]e_h+\bar{a}^T[n]e_l$ 。如果  $a[n]$ 是一個獨立隨機變數序列， $e[n]$ 就會擁有平整的頻譜而與輸入訊號  $x[n]$ 沒有關聯。因此，隨機溫度計編碼技術所使用的隨機期間值  $RP$  將會影響  $e[n]$ 的頻譜平整度。

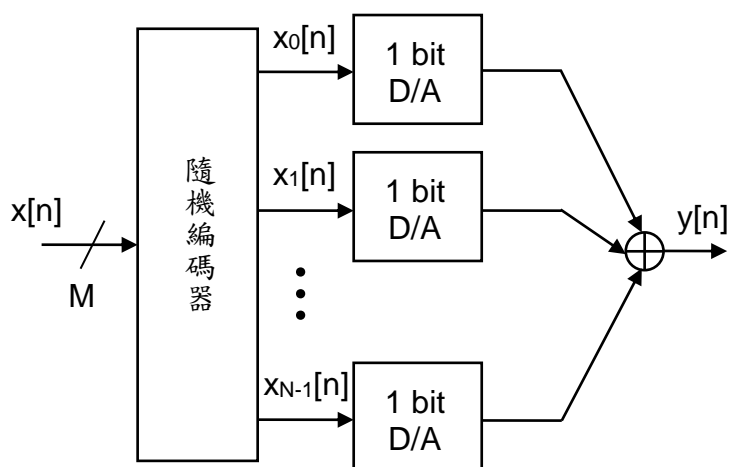


圖 2 一個  $M$  位元、 $N$  元件的數位類比轉換器架構圖

為了要驗證隨機式溫度計編碼技術的效能，將使用一個六位元、六十四元件的數位類比轉換器作為例子。如圖三所示的擁有 50%比例之線性分佈曲線和 50%比例之碗型分佈曲線的混合分佈曲線元件不匹配誤差數據將被使用。這些如圖三所示的數據擁有 8%的標準差。一個加入微量顫抖的全振幅、速度為 313/4096 倍取樣頻率的弦波訊號被當作數位類比轉換器的輸入，其中微量顫抖是一個擁有三角形機率分佈函數的白序列，而其分佈範圍在正負數位類比轉換器最小位元量之間。本論文內所有的頻譜模擬結果，都是經由平均三十二個同樣擁有 213 取樣的週期圖後所得到的，如此才能有效地讓元件不匹配所造成的諧波失真明確顯示於平均雜訊值之上。圖四顯示了採用隨機式溫度計編碼技術數位類比轉換器的元件不匹配輸出頻譜，其中(a)(b)(c)(d)分別使用了隨機期間為一、二、四及八來模擬，並且使用了圖三中所示的元件不匹配數據。

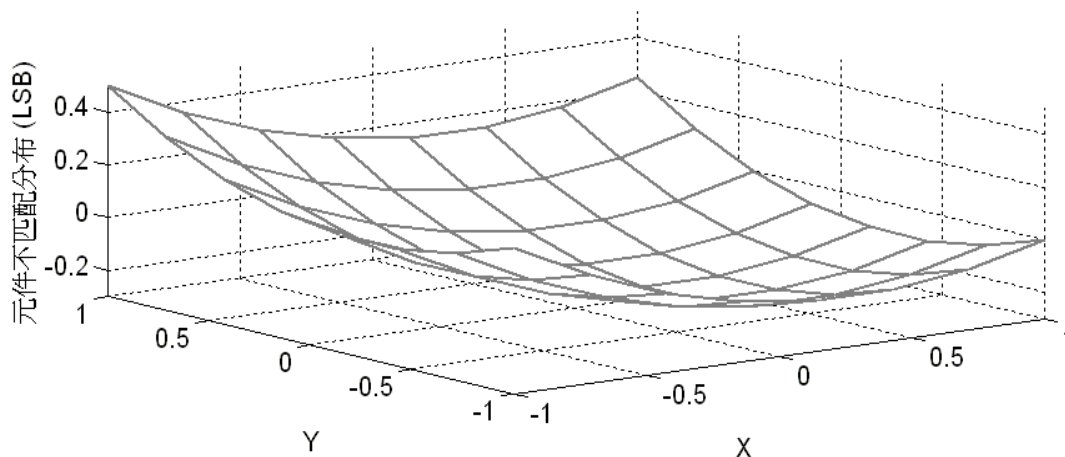


圖 3 擁有 50%比例之線性分佈曲線和 50%比例之碗型分佈曲線的混合分佈曲線元件不匹配誤差數據圖

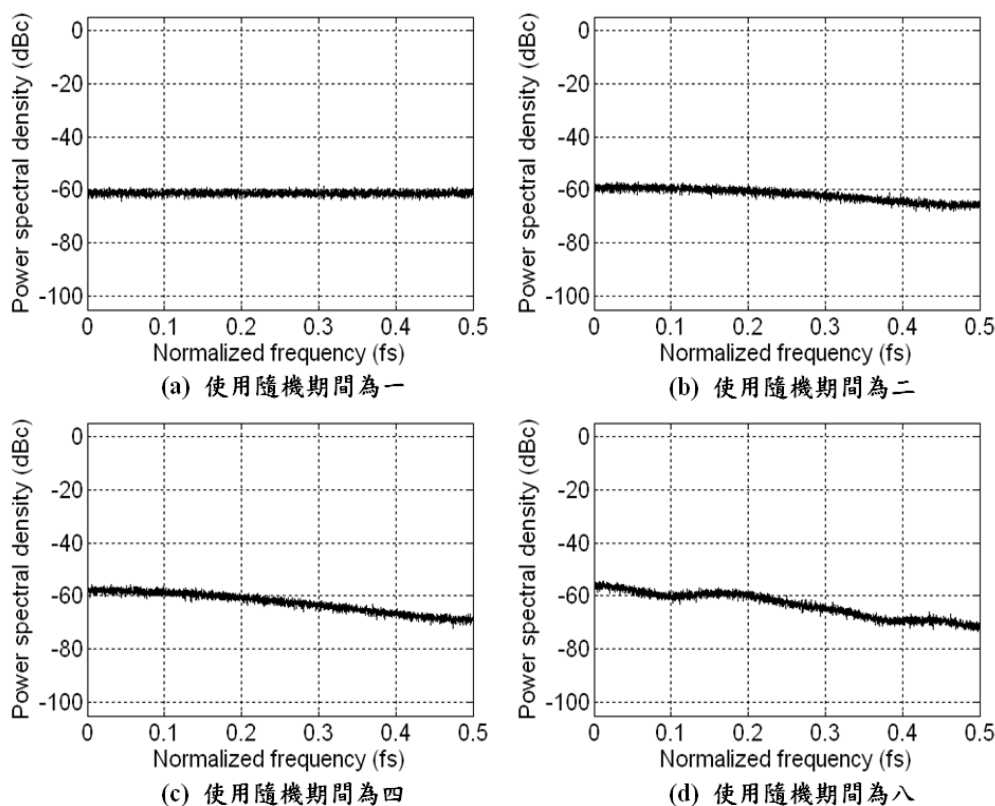


圖 4 採用隨機式溫度計編碼技術數位類比轉換器的元件不匹配輸出頻譜，分別使用了隨機期間為一、二、四及八，並且使用了圖三中所示的元件不匹配數據

由模擬驗證結果得知，元件不匹配輸出頻譜將被 RP 所影響。圖五顯示出採用隨機式溫度計編碼技術之數位類比轉換器在不同 RP 的情況下，其最大的 spur 能量以及元件切換的活動程度數值，而所謂最大的 spur 能量指的是在輸出頻譜中除了輸出主訊號以外，能量高於平均雜訊量的最大特定頻率能量。在經過隨機化程度及元件切換活動程度間的取舍後，隨機期間為四將被用來實現本論文的數位類比轉換器。

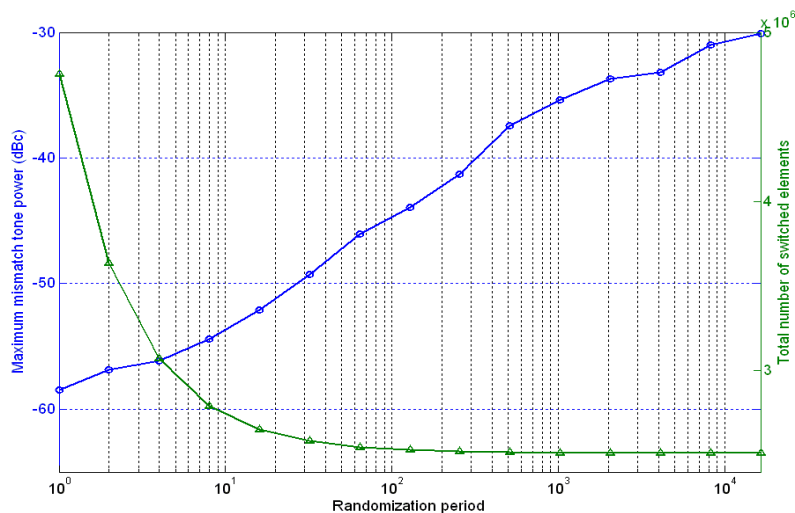


圖 5 採用隨機式溫度計編碼技術之數位類比轉換器在不同 RP 的情況下，其最大的 spur 能量以及元件切換的活動程度數值

### 三、隨機式溫度計編碼技術與佈局切換技巧並用時之優勢

隨機式溫度計編碼技術所擁有的連續選擇特性，使得其在與佈局方法一起使用時，可以同時得到動態元件匹配技術和佈局方法的優點。為了展示此一優勢，我們需要一個擁有絕佳梯度(gradient)誤差補償特性的佈局方法，因此，一名為混合型佈局方法的技術將被提出。如圖六(a)所示，以十六個元件來考量交叉線性分布的補償問題，將會由元件 1 到元件 16 依序選擇來補償掉線性誤差。如圖六(b)所示，擴展到六十四個元件，將會把區域 A 到區域 D 裡的四個元件依序做順時針方向的旋轉，進一步補償掉碗型誤差。因此，如圖六(c)所示，適用於六十四個元件的數位類比轉換器之混合型佈局方法的完整切換順序，將從區域 A 的第 1 個元件 -> 區域 B 的第 1 個元件 -> 區域 C 的第 1 個元件 -> 區域 D 的第 1 個元件 -> 區域 A 的第 2 個元件 -> 區域 B 的第 2 個元件 -> 區域 C 的第 2 個元件 -> 區域 D 的第 2 個元件 -> 區域 A 的第 3 個元件等等如此選擇下去。

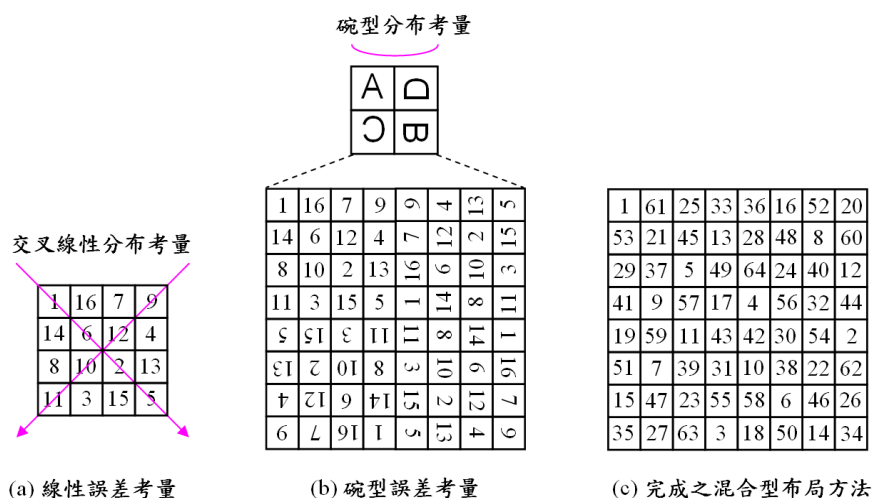


圖 6 適用於六十四個元件的混合型佈局方法發展演進圖

若將如圖三所示的元件不匹配誤差數據，使用混合型佈局方法重新排列之後，他的累積非線性度將比傳統切換技巧的累積非線性度小四倍以上。因此，隨機式溫度計編碼技術搭配混合型佈局方法所得到的最大輸出誤差量，由數學推導證實會比傳統隨機選擇方法來得小[5]。除此之外，如圖七所示，模擬結果也與數學推導完全吻合，其中模擬結果是將 1048576 次斜波碼輸入到數位類比轉換器所得到的。

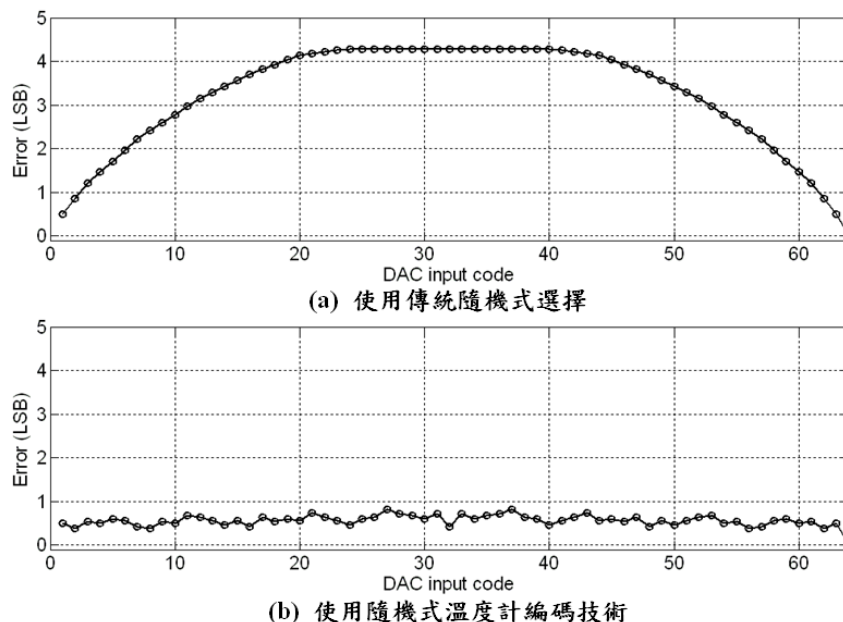


圖 7 搭配混合型佈局方法之數位類比轉換器針對不同輸入碼所得到的最大輸出誤差值

### 參、新型輸出歸零電路之分析

如圖八(a)所示之隔離電晶體  $M_{i1}$  和  $M_{i2}$ ，若將其疊接在數位類比轉換器之電流元件中切換電晶體的汲極端，則可以用來降低由控制訊號傳至輸出節點的耦合雜訊干擾。不幸的是，使用隔離電晶體將會增加輸出節點的穩定所需時間以及造成不對稱的上升及下降時間。圖八(b)顯示了一個簡化過的數位類比轉換器之電流源元件半邊電路圖，將被用來分析所增加的穩定所需時間此一現象。當電晶體  $M_2$  閘極端的狀態由低變成高時，流過電晶體  $M_2$  的電流將會被關掉，然而因為雜散電容  $C_A$  上仍然存有相當的電荷量，因此存在一放電電流路徑，透過電晶體  $M_{i2}$  將存在電容  $C_A$  裡的電荷放電至輸出節點。而此一經由電晶體  $M_{i2}$  的放電電流將可寫成：

$$I_{M_{i2}}(t) = K[(V_A(t) - V_{bias3}) - V_t]^2$$

其中  $K = (\mu C_{ox}/2)(W/L)$  是電晶體的轉導參數、 $V_A(t)$  是節點 A 的電壓、 $V_{bias3}$  是電晶體  $M_{i2}$  的閘極電壓而  $V_t$  是電晶體的門檻電壓。這個電流將會對雜散電容  $C_A$  進行放電，也因此會降低節點 A 的電壓  $V_A(t)$ 。此放電電流亦可寫成：

$$I_{M_{i2}}(t) = -\frac{dQ_A(t)}{dt}$$

其中  $Q_A(t)$  是儲存在節點 A 上的電荷量。若將上面兩個式子整合推導之後節點 A 的電壓值  $V_A(t)$  將可被寫成：

$$V_A(t) = C_1 - \frac{ab(t + C_2) - 1}{b(t + C_2)}$$

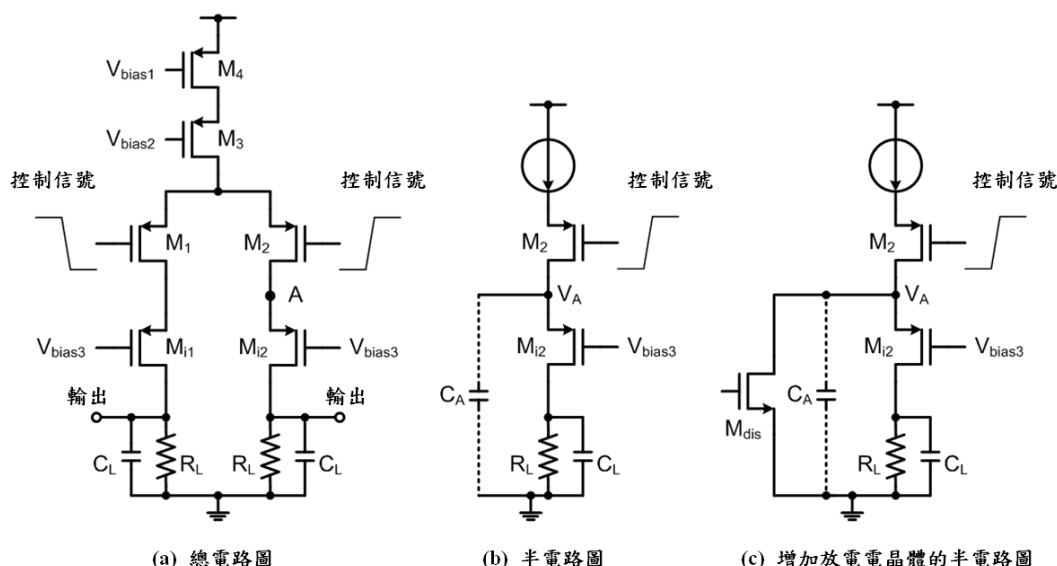


圖 8 擁有隔離電晶體之電流源元件圖

其中  $C_1$  和  $C_2$  是可由初始狀態推導出來的固定數值、 $a=V_{bias3}+V_i$  以及  $b=(K/C_A)$ 。因此，輸出節點的穩定所需時間將因為節點 A 的放電行為而被增加。

為了要解決這個問題，我們將如圖八(a)所示般在節點 A 上增加一個額外的放電路徑。當放電電晶體  $M_{dis}$  被打開時，儲存在雜散電容  $C_A$  上的電荷將被迅速的放電，這是因為我們在設計放電電晶體時給予他大的推動能力。我們額外加上如圖九(a)所示的電晶體除了可以用來對節點放電之外，還可以用來當作輸出歸零電晶體。當輸出歸零控制訊號將輸出歸零電晶體  $M_{RTZ1}$  和  $M_{RTZ2}$  打開時，由電晶體  $M_3$  流過來的電流將會根據電流切換電晶體  $M_1$  和  $M_2$  控制訊號的狀態來決定要流向輸出歸零電晶體  $M_{RTZ1}$  或  $M_{RTZ2}$ 。因此將不會有電流流經隔離電晶體  $M_{i1}$  和  $M_{i2}$ ，也就是說隔離電晶體  $M_{i1}$  和  $M_{i2}$  被關掉了，進而使輸出節點的電壓以一個時間常數為  $R_L C_L$  的速度放電至零準位。因為隔離電晶體  $M_{i1}$  和  $M_{i2}$  已經被關掉了，所以由控制訊號耦合到輸出節點之與輸入訊號有關的干擾雜訊將會在輸出歸零期間被有效隔絕，也因為如此，本計劃所提出的新型輸出歸零機制不僅有輸出歸零的功能，亦提供了隔離干擾雜訊的效果。與一般傳統輸出歸零機制使用在輸出節點的兩個大面積輸出歸零電晶體不同，本計劃所提出來的新型歸零機制將在數位類比轉換器的每個電流源元件裡實現她們自己的輸出歸零電晶體。而為了要達到低成本的目的，輸出歸零電晶體必須被仔細的設計。

輸出歸零電晶體  $M_{RTZ1}$  和  $M_{RTZ2}$  如圖九(b)及圖九(c)所示可以使用 N 型電晶體或 P 型電晶體來實現。針對 N 型電晶體和 P 型電晶體，輸出歸零控制訊號的電壓變化範圍需求是有很大差異的。如圖九(b)所示，對 N 型輸出歸零電晶體而言，如果輸出歸零控制訊號的電壓值比  $V_{RTZ} + |V_{tnmos}|$  還低時，N 型電晶體  $M_{RTZn}$  會被關掉，這時候電流源元件處於正常操作狀態。如果輸出歸零控制訊號的電壓值比  $V_{RTZ} + |V_{ndriving}|$  還高時，N 型電晶體  $M_{RTZn}$  會被打開而且幾乎將電流源元件所有的電流引導至輸出歸零電壓節點，這時候電流源元件將會轉變成輸出歸零狀態，其中  $V_{ndriving}$  是 N 型輸出歸零電晶體  $M_{RTZn}$  的閘極對源極電壓差，而此時其電流驅動能力大於隔離電晶體。如圖九(c)所示，對 P 型輸出歸零電晶體而言，如果輸出歸零控制訊號的電壓值比  $V_A - |V_{tpmos}|$  還低時，P 型電晶體  $M_{RTZp}$  會被關掉，這時候電流源元件處於正常操作狀態。如果輸出歸零控制訊號的電壓值比  $V_A - |V_{pdriving}|$  還低時，P 型電晶體  $M_{RTZp}$  會被打開而且幾乎將電流源元件所有的電流引導至輸出歸零電壓節點，這時候電流源元件將會轉變成輸出歸零狀態，其中  $V_{pdriving}$  是 P 型輸出歸零電晶體  $M_{RTZp}$  的閘極對源極電壓差，而此時其電流驅動能力大於隔離電晶體。對 N 型輸出歸零電晶體而言，很容易就能夠在不影響電流源元件其它偏壓電壓設計的情況下，實現出所需要之輸出歸零控制訊號的電壓變化範圍。然而，對 P 型輸出歸零電晶體而言， $V_A - |V_{pdriving}|$  這個電壓值必須要比  $V_{bias3}$  這個電壓值還低，才有辦法擊敗隔離電晶體之電流驅動能力，由於為了要設計出小面積的隔離電晶體，

所以隔離電晶體的閘極電壓必須非常低，因此加深了使用 P 型輸出歸零電晶體之輸出歸零控制訊號電壓變化範圍的設計困難度。除此之外，N 型電晶體的電荷流動性本來就比 P 型電晶體的電荷流動性來的高，在考量輸出歸零控制訊號電壓變化範圍的設計困難度及電荷流動性兩個因素後，N 型輸出歸零電晶體的面積可以被設計成為比 P 型輸出歸零電晶體的面積小得多。因此，在實現本論文的低成本電流汲取式數位類比轉換器時，N 型輸出歸零電晶體將被採用。

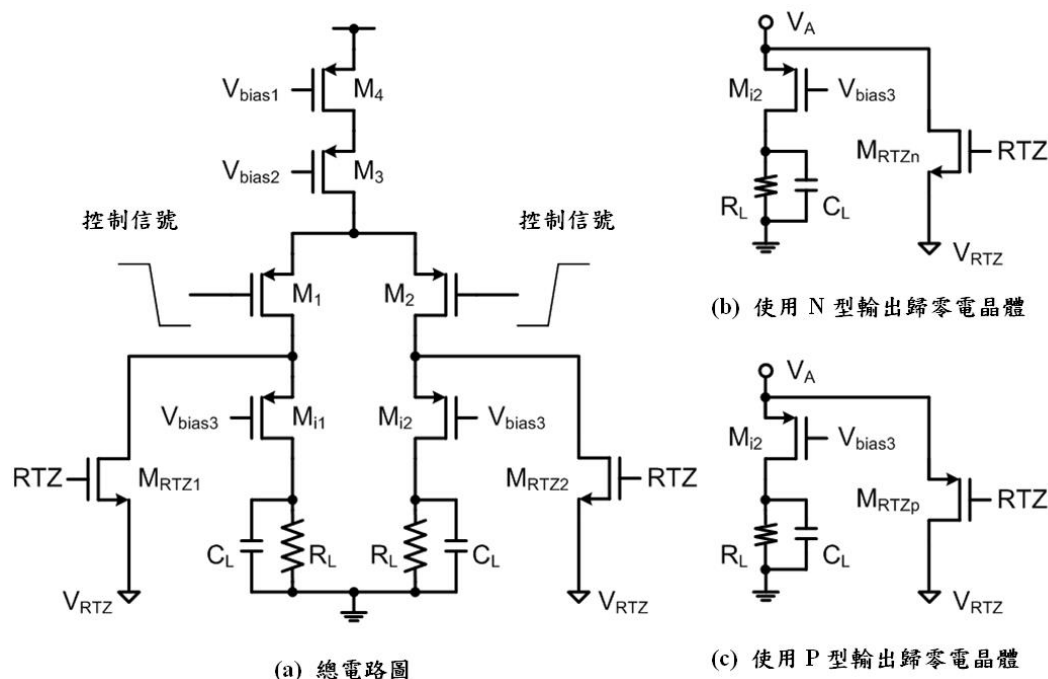


圖 9 擁有隔離電晶體及輸出歸零電晶體之電流源元件圖

## 肆、12 位元電流汲取式數位類比轉換器實現

一個使用上述章節所提出之隨機式溫度計編碼技術、新型輸出歸零電路以及混合式布局方法的 12 位元電流汲取式數位類比轉換器將被實現，其設計考量將在以下章節中呈現。

### 一、輸入位元切分與電流元件所需匹配要求

為了要使用隨機式溫度計編碼技術來實現一個擁有非常小面積的極低成本電流汲取式數位類比轉換器，此數位類比轉換器的數位輸入碼將被切分(segment)為溫度計式編碼(thermometer-code)及二進位式編碼(binary-code)兩部份。對溫度計式編碼部分而言，其元件不匹配效應將因為使用隨機式溫度計編碼技術而被大大降低。因此，在考慮元件不匹配效應時只需要考慮剩下的二進位式編碼部分的位元數即可。如果把越多的數位輸入碼位元數切分為二進位式編碼，則數位類比轉換器的精確度需求會被提高，也因為如此，實現電流源元件所需要的面積也會跟著增加。然而，如果將越多的數位輸入碼位元數切分為溫度計式編碼，實現隨機式溫度計編碼的電路複雜度跟功率消耗都會跟著上升。經過上述的折衷考量後，在實現 12 位元數位類比轉換器時，將採用六個位元的溫度計式編碼及六個位元的二進位式編碼。

本論文所實現數位類比轉換器被切分為擁有六個數位輸入位元的最重要位元群(most significant bits, MSBs)，以及六個數位輸入位元的次重要位元群(least significant bits, LSBs)。針對最重要位元群，將同時使用隨機式溫度計編碼技術及所提出之混合型布局方法，而次重要位元群將使用二進位式編碼。蒙地卡羅模擬結果證實，如果只以次重要位元群所擁有之六個位元的元件匹配精確度來設計電流源電路，則以上述方式來切分輸入位元之 12 位元數位類比轉換器，將藉由隨機式溫度計編碼技術的能力將元件不匹配



所造成的諧波失真大量壓制，進而得到高於 72dB 的無突波動態範圍。根據[9]中的推導，要達到六個位元的元件匹配精確度，以及得到百分之九十九點七以上的良率，電流源的最低位元元件之相對標準差可以被寫成：

$$\frac{\sigma_{I_{LSB}}}{I_{LSB}} < \frac{1}{\sqrt{2^6}} \cdot \frac{0.5}{3.1} \approx 2\% \tag{1}$$

藉由[10]中所推導的式子，可知最小位元之電流源電晶體的面積需求必須為：

$$WL = \frac{\left[ \frac{4A_{V_t}^2}{(V_{gs} - V_t)^2} + A_{\beta}^2 \right] \cdot 0.5}{\frac{\sigma_{I_{LSB}}^2}{I_{LSB}^2}} \tag{2}$$

其中 W 是電晶體的通道長度、L 是電晶體的通道寬度、 $V_{gs}$  是電晶體閘極與源極之間的電位差、 $V_t$  是電晶體的臨界電壓而  $A_{V_t}$  與  $A_{\beta}$  分別是由製程實驗結果量測出來的臨界電壓與電流因子之匹配參數。

若將過驅動電壓設計成 300 微伏特，最小位元之電流源電晶體的通道長度即為 0.75 毫米，而通道寬度即為 2.7 毫米。疊接電晶體被設計成擁有 150 微伏的過驅動電壓，並且擁有與電流源電晶體相同的通道寬度。這麼做是為了要讓電晶體的佈局單純化，以降低雜散電容值。電流源切換電晶體以及隔離電晶體均採用最短通道長度，來增加操作速度和節省功率消耗。

## 二、佈局規劃

圖十顯示了本論文所實現之數位類比轉換器的佈局規劃。其中電流源電晶體和疊接電晶體將被放在一起，再透過連接線將他們與電流源切換電晶體連結。閃鎖器、電流源切換電晶體、隔離電晶體和輸出歸零電晶體被放在遠離電流源電晶體和疊接電晶體的地方，如此一來，便能盡量降低因為電路切換時所造成的雜訊耦合到電流源電晶體或疊接電晶體上。仿造(dummy)的電流源電晶體和疊接電晶體將被均勻的圍繞在實際使用的電流源電晶體和疊接電晶體周圍，以便壓制製程上的邊緣效應。電源供應連接線以及時脈連接線都將使用樹狀分佈法小心地安排位置，以便降低因為佈局而造成的系統性元件不匹配(systemic mismatch)問題。實現隨機式溫度計編碼技術的數位電路將由晶片上方接收儀器所產生的數位輸入訊號，產生相對應的隨機式溫度計編碼選擇訊號後，亦由閃鎖器電路上方傳遞給相關電路，如此一來便能確保數位電路所產生的雜訊被有效控制。

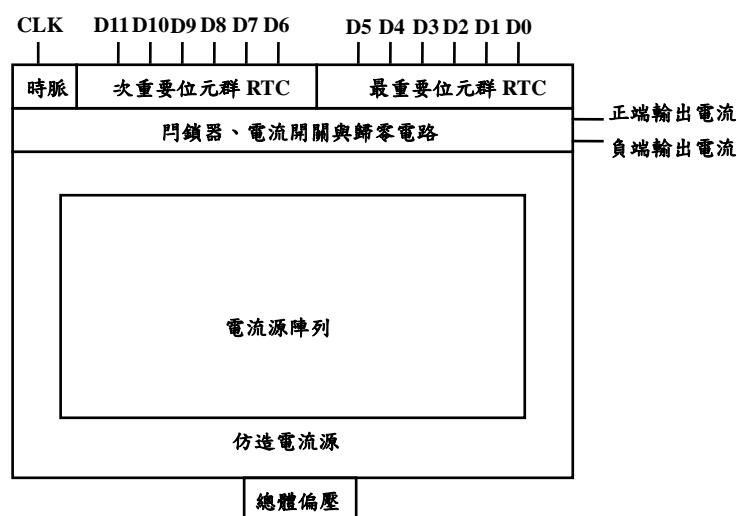


圖 10 本論文所實現之數位類比轉換器的佈局規劃圖

### 三、類比電路

圖十一顯示了本論文所實現之電流汲取式數位類比轉換器的電流源偏壓方式。在晶片外，我們使用一外接可調式電阻來產生參考電流。圖中，由一虛線框所框起來使用 N 型電晶體的偏壓電路被稱為總體偏壓電路，而由其它虛線框所框起來使用 P 型電晶體的偏壓電路被稱為個別偏壓電路。總體偏壓電路中，各個電晶體將被放得很靠近並小心佈局(layout)以便減低梯度效應，而個別偏壓電路將以傳遞電流的方式，將總體偏壓電路的電壓訊息傳遞到各別較遠端的電流源電路，而不是直接傳遞電壓訊息以避免因為傳遞距離過長而造成電壓衰減。

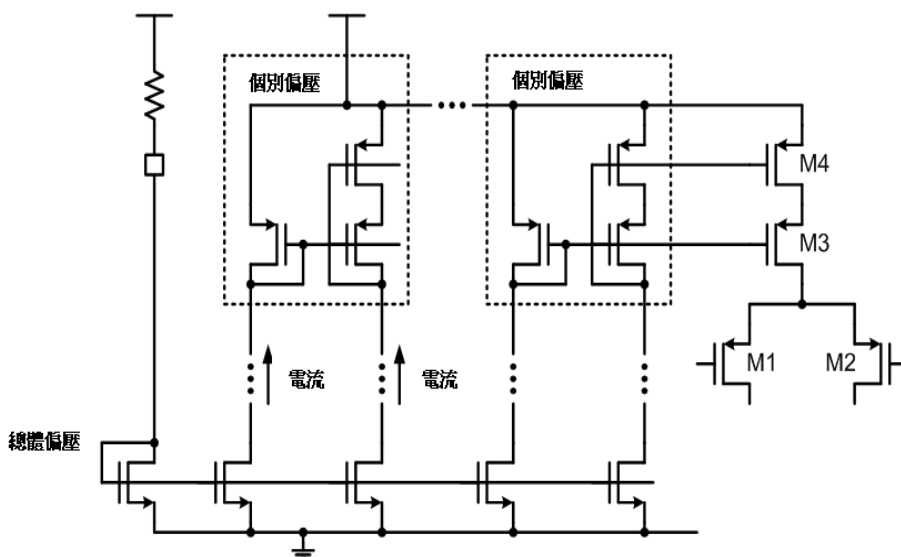


圖 11 本論文所實現之電流汲取式數位類比轉換器的電流源偏壓電路圖

如果電源線上的電壓突波過大，將會對用來推動數位類比轉換器電流源開關的門鎖器造成時脈上的誤差或者是造成交互干擾，進而限制了整個數位類比轉換器的動態效能。為了要降低門鎖器所使用之電源線上的電壓突波，如圖十二所示之擁有較低瞬間電源短路電流的門鎖器架構將被採用。當 DIN 由低狀態轉變成高狀態的瞬間，在電晶體  $M_{P3}$  被關掉前電晶體  $M_{N1}$  將會被打開，此時從  $V_{dd}$  到  $V_{latch}$  之間將會產生一個直接的電流路徑，但是因為門鎖器中加入了電晶體  $M_{P1}$ ，它將會快速的把此一直接的電流路徑關閉。同樣的道理，當 DIN 由高狀態轉變成低狀態的瞬間，門鎖器中加入了的電晶體  $M_{P2}$  將會快速的把電晶體  $M_{P4}$  及電晶體  $M_{N2}$  所造成的直接電流路徑關閉。而電晶體  $M_{N3}$  和  $M_{N4}$  被用來增加門鎖器輸出下拉的能力，造成不同的輸出上昇和輸出下降時間，以便能將門鎖器兩個差動輸出的交叉點(cross point)降低。緩衝器  $B_1$  和  $B_2$  將被用來壓制由傳輸閘  $TG_1$  和  $TG_2$  所傳過來的時脈干擾，進而增加動態效能。

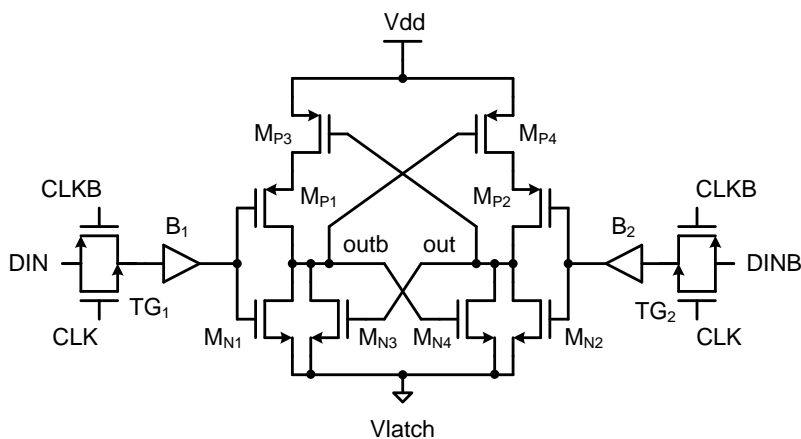


圖 12 擁有較低瞬間電源短路電流的門鎖器架構圖

#### 四、數位電路

一般而言，有兩種方法可以用來實現單位元輸出的亂數產生器，其中一種利用電子元件的熱雜訊，另一種使用線性回授位移暫存器。若將一個電子元件的熱雜訊拿來取樣，然後轉換成為電壓訊號，再與一個已測知的平均電壓作比較，便可產生一個單位元的數位亂數值。這個方法需要比較複雜的類比電路，產生亂數值的速度相對也比較慢，但是確是能夠得到真正隨機之亂數值的方法。另一種使用線性回授位移暫存器來產生虛擬隨機之亂數值，此方法實現上需要一串位移暫存和一些互斥或閘，若一串位移暫存器的位元長度是  $n$ ，則這串位移暫存器就可以產生一個虛擬隨機之亂數序列，而這個序列將在每  $2^n-1$  個輸出後會出現重復循環，雖然線性回授位移暫存器的實現很簡單，但是卻無法產生真正隨機之亂數值。由模擬結果驗證得知，一串如圖十三所示之 15 位元、特性函數式為  $1+x+x^{15}$  的線性回授位移暫存器，即可符合本計劃所實現之隨機式溫度計編碼技術的需求。

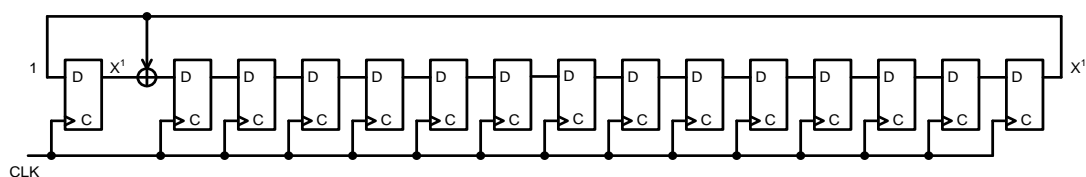


圖 13 15 位元、特性函數式為  $1+x+x^{15}$  的線性回授位移暫存器之電路方塊圖

#### 伍、實驗結果與比較

以下所有的量測結果除了有特別聲明之外，均是在隨機式溫度計編碼技術及新型輸出歸零機制同時啟動的情況下得到的。圖十四在取樣頻率為 100 百萬赫茲情況下，單一輸出頻率為 48.8 百萬赫茲的數位類比轉換器輸出頻譜圖，量測到的無突波動態範圍為 75dB。圖十五顯示了在四種不同的操作模式下，單一頻率測試之無突波動態範圍對不同輸出頻率的做圖。在隨機式溫度計編碼技術以及新型輸出歸零機制同時啟動的情況下，輸出訊號頻率最高到接近取樣頻率的一半速率時，最差的無突波動態範圍依然有 75dB 以上。

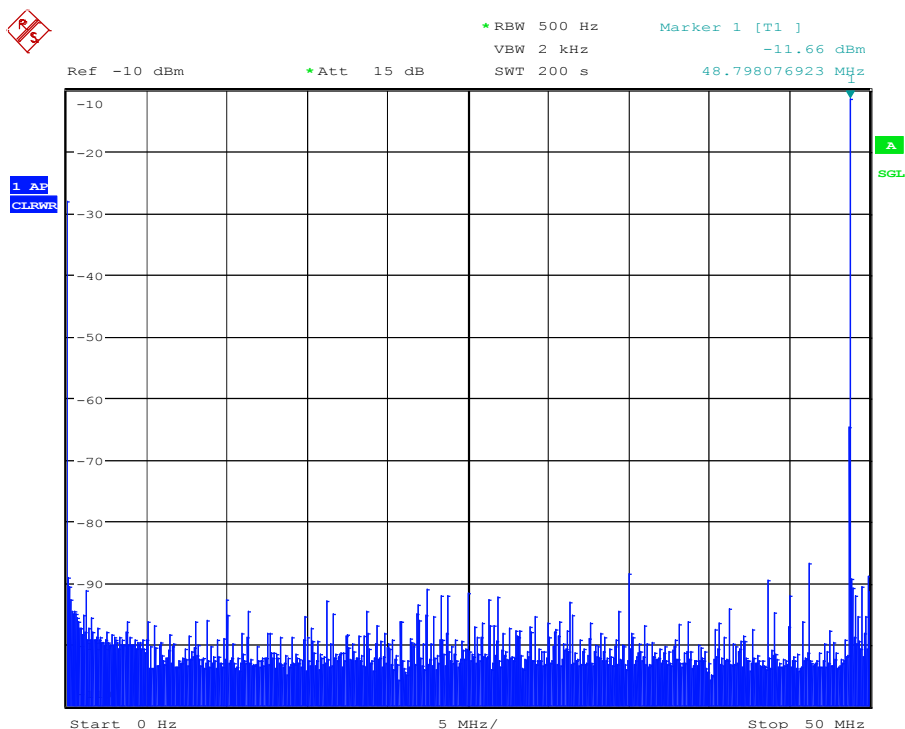


圖 14 在取樣頻率為 100 百萬赫茲情況下，單一輸出頻率為 48.8 百萬赫茲的數位類比轉換器輸出頻譜圖

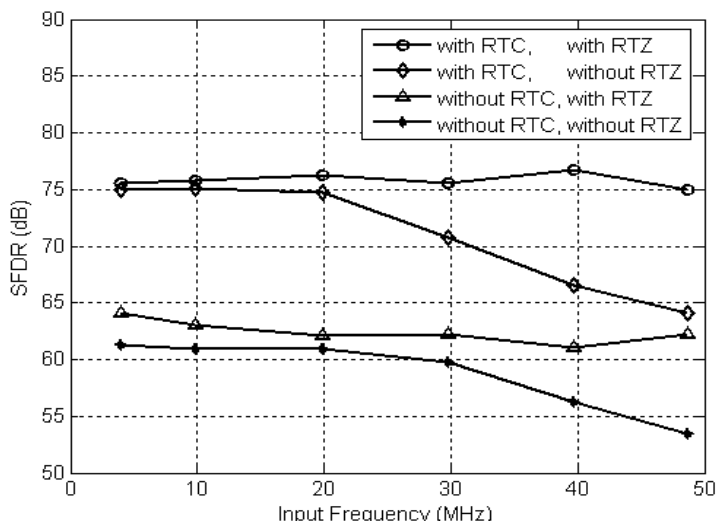


圖 15 在四種不同的操作模式下，針對不同輸出頻率測試之無突波動態範圍圖

當隨機式溫度計編碼技術啟動而新型輸出歸零機制沒有被啟動的時候，無突波動態範圍會隨著輸入頻率的增加而急速的降低。若是隨機式溫度計編碼技術沒有被啟動而新型輸出歸零機制啟動的話，無突波動態範圍將會大量降低，只剩下不到 65dB。這是因為實現過程採用了非常小的電流源電晶體面積，因此，若沒有使用動態元件匹配技術來克服元件不匹配效應，將會造成極大的元件不匹配失真。最後，如果隨機式溫度計編碼技術以及新型輸出歸零機制同時沒有被啟動，無突波動態範圍當然會變得更差。因此，隨機式溫度計編碼技術和新型輸出歸零機制是非常有效的技術，可以在使用較差匹配條件之較小電晶體面積的情況下，依然能得到較高的無突波動態範圍及較高的速度。

本論文所實現的數位類比轉換器，採用台積電 0.18 微米 1P6M 的 CMOS 製程。圖十六為晶片的照片，其中數位類比轉換器所使用到的主動電路面積(active area)小於 0.12 毫米平方。表一比較了本論文之數位類比轉換器與其他最近文獻上所發表之 12 位元數位類比轉換器的各項效能數值[11-14]，其中優勢指標 (figure of merit, FOM) 很常被用來評估類比數位轉換器的效能。然而到目前為止，還沒有一個被大家公認的優勢指標公式可以用來評估數位類比轉換器。除了無突波動態範圍(SFDR)、操作頻率(Clock Frequency,  $f_{clk}$ )以及總消耗能量(P)外，主動面積應該也是評比電流汲取式數位類比轉換器的重要參數。因此採用了公式(3)來計算優勢指標。

$$FoM = \frac{2^{\frac{SFDR_{Best} - 1.76}{6.02}} \times 2^{\frac{SFDR_{Worst} - 1.76}{6.02}} \times f_{clk}}{\left( P_{total} - \frac{1}{2} \times I_{load}^2 \times R_{load} \right) \times Area} \quad (3)$$

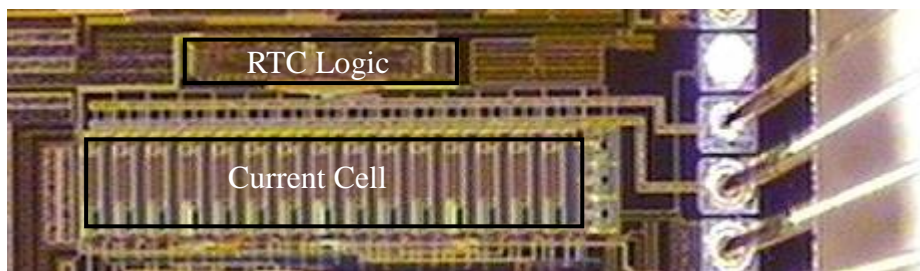


圖 16 本論文所實現的數位類比轉換器之晶片照片圖

如表一所示，本論文所實現的數位類比轉換器與近期文獻上所發表的世界一流數位類比轉換器相比，擁有最高的優勢指標值。

表 1 近期文獻上所發表的世界一流數位類比轉換器之各項效能數值比較表

Specifications	This Work	EDSSC 2013[11]	ESSCIRC 2010[12]	ISSCC 2005[13]	JSSC 2004[14]
Resolution, N	12	12	12	12	12
Process	0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m
Sampling freq.(MHz)	100	300	250	500	320
SFDR <sub>Best</sub> [dB]	76.2	72.9	71.7	76	95
SFDR <sub>Worst</sub> [dB]	75	70.3	43	57.5	44.5
I <sub>load</sub> (mA)	10	6	10	15	20
Power (mW)	25	35	25	216	82
Active area (mm <sup>2</sup> )	0.12	0.1	0.8	1.13	0.44
FoM (MHz/mW*mm <sup>2</sup> )	8.98E+08	8.43E+08	4.78E+06	6.45E+06	5.95E+08

## 陸、結論

本論文實現了一個使用隨機式溫度計編碼、新型輸出歸零電路以及混合式佈局方法的 12 位元電流汲取式數位類比轉換器。此數位類比轉換器操作速度達到 100MHz，並能夠以極小的主動電路面積來達到高無突波動態範圍。再者，本論文所實現的數位類比轉換器與近期文獻上所發表的一流數位類比轉換器相比，擁有最高的優勢指標值。

## 參考文獻

- [1] T. H. Kuo, K. D. Chen and H. R. Yeng (2002). A wideband CMOS sigma-delta modulator with incremental data weighted averaging, *IEEE J. Solid-State Circuits*, 37, 11–17.
- [2] K. D. Chen and T. H. Kuo (1999). An improved technique for reducing baseband tones in sigma-delta modulators employing data weighted averaging algorithm without adding dither, *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, 46, 63–68.
- [3] D. H. Lee and T. H. Kuo (2007). Advancing data weighted averaging technique for multi-bit sigma-delta modulators, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, 54, 838–842.
- [4] D. H. Lee, Y. H. Lin and T. H. Kuo (2006). Nyquist-rate current-steering digital-to-analog converters with random multiple data-weighted averaging technique and Q<sup>N</sup> rotated walk switching scheme, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, 53, 1264–1268.
- [5] D. H. Lee, T. H. Kuo and K. L. Wen (2009). Low-cost 14-bit current-steering DAC with a randomized thermometer-coding method, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, 56, 137–141.
- [6] I. Galton and P. Carbone (1995). A rigorous error analysis of D/A conversion with dynamic element matching, *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, 42, 763–772.
- [7] V. Ferragina, A. Fornasari, U. Gatti, P. Malcovati, F. Maloberti, and L. Monfasani. (2004). *Use of dynamic element matching in a multi-path sigma-delta modulator*, I-649–I-652, Proceedings of IEEE International Symposium on Circuits and Systems, Vancouver, Canada.
- [8] D. H. Lee and T. H. Kuo (2009). Return-to-zero current-steering DAC with clock-to-output isolation, USA patent 7,576,675.
- [9] A. Van den Bosch, M. Steyaert, and W. Sansen. (2000). An accurate statistical yield model for CMOS

- current-steering D/A converters, 105–108, Proceedings of IEEE International Symposium on Circuits and Systems, Geneva, Switzerland.
- [10] M. Pelgrom, A. Duinmaijer, and V. Welbers (1989). Matching properties of MOS transistors, *IEEE J. Solid-State Circuits*, 24, 1433–1439.
- [11] W. T. Lin and T. H. Kuo. (2013). *A Low-Spurious Low-Power 12-bit 300MS/s DAC with 0.1mm<sup>2</sup> in 0.18 $\mu$ m CMOS Process*, 1-2, IEEE Electron Devices and Solid-State Circuits Conf. (EDSSC), Hong Kong, China.
- [12] J. H. Chi, S. H. Chu and T. H. Tsai. (2010). A 1.8-V 12-Bit 250-MS/s 25-mW Self-calibrated DAC, 222-225, Proc. IEEE Eur. Solid-State Circuits Conf. (ESSCIRC), Sevilla, Spain.
- [13] K. Doris, I. Briaire, D. Leenaerts, M. Vertregt and A. V. Roermund. (2005). A 12b 500MS/s DAC with >70 dB SFDR up to 120 MHz in 0.18 $\mu$ m CMOS, 116-117, IEEE ISSCC Dig. Tech. Papers, San Francisco, USA.
- [14] K. O'Sullivan, C. Gorman, M. Hennessy and V. Callaghan (2004). A 12-bit 320-MSample/s current-steering CMOS D/A converter in 0.44 mm<sup>2</sup>, *IEEE J. Solid-State Circuits*, 39, 1064-1072.